

PAT-NO: JP411154708A

DOCUMENT-IDENTIFIER: JP 11154708 A

TITLE: PROGRAMMABLE SEMICONDUCTOR DEVICE

PUBN-DATE: June 8, 1999

INVENTOR-INFORMATION:

NAME

SERA, YOSHIAKI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09319481

APPL-DATE: November 20, 1997

INT-CL (IPC): H01L021/82, H01L027/04 , H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To form a desired function on a chip in a short time, by exposing wirings led from a plurality of large scale blocks having desired functions and selectively connecting the wirings together.

SOLUTION: Eight modules MOD1 to MOD8 and a memory RAM are arranged in a matrix in the center of the surface of a semiconductor substrate and bonding pads are arranged in matrix form. A basic function block, a buffer and the like are formed between the MOD1 to MOD8 and the memory RAM. An exposed wiring portion 4 where a part of metal wiring 3 is exposed is formed on the uppermost

layer such that it connects freely these modules MOD1 to MOD8, the memory RAM, the basic function block and the bonding pads. When the metal wirings 3 of the exposed wiring portion 4 are shot by a laser, the metal wirings 3 led from the different modules are electrically connected.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154708

(43) 公開日 平成11年(1999) 6月8日

(51) IntCl.⁸

識別記号

F I

H 0 1 L 21/82
27/04
21/822

H 0 1 L 21/82
27/04

D
M

審査請求 有 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平9-319481

(22) 出願日 平成9年(1997) 11月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 瀧田 佳晴

東京都港区芝五丁目7番1号 日本電気株式会社内

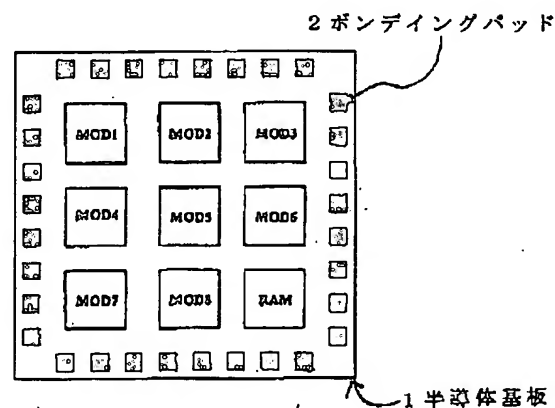
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 プログラミング可能な半導体装置

(57) 【要約】

【課題】 設計が決まった後に、モジュールから引き出した配線を結線して所望の回路を形成する。

【解決手段】 様々な機能をもつモジュールMOD1～MOD8から引き出した配線3, 3を最上層に形成しておき、それらの配線3, 3を設計が決まった時点で結線し、所望の回路を形成する。



MOD : モジュール

RAM : 記憶部

【特許請求の範囲】

【請求項1】 所定の機能をもつ複数の大規模なブロックを有し、

該ブロックから引き出した配線を最上層に露出させ、前記引き出された配線同士を選択的に接続することにより回路を構成するようにしたことを特徴とする半導体装置。

【請求項2】 前記引き出された配線は、レーザーにより選択的に接続されるものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記引き出された配線は、熱処理により融解する金属片で選択的に接続されるものであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記引き出された配線の接続部は、カバー膜で覆われ、パッドを開口させるものであることを特徴とする請求項1、2又は3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラミング可能な半導体装置に関し、特に様々な機能を持ったモジュールを有するプログラミング可能な半導体装置に関する。

【0002】

【従来の技術】従来の半導体装置には、自動配置配線設計工程において、予備素子または予備ユニットが自律的に生成されるものがある。この種の半導体装置では、製品開発の過程で生じた変更に対して、容易にかつ短期間で対処するために、対応する所定の結合配線をFIB (Focused Ion Beam) やレーザーCVD (Chemical Vapor Deposition) で切断した後に配線層を追加し、予備素子(予備ユニット)が選択的に有効となるようにしていた(特開平5-160266)。

【0003】上述した大規模集積回路装置は図4に示すように、8個のモジュールMOD1～MOD8が半導体基板SUBに備えられ、モジュールMOD1～MOD8間の空き領域に予備ゲートRG1並びに予備ユニットRU1、RU2が配置されている。この場合のモジュールMOD1～MOD8は、基本的な論理機能を果たすファンクションブロックより大規模なブロックであり、例えば、CPUペリフェラル、インターバルタイマー、DMAコントローラ等である。PADはボンディングパッドである。

【0004】図5は、図4に示すモジュールMOD5と予備ゲートRG1とを接続した図である。この状態では予備ゲートRG1が機能していない。

【0005】製品開発の過程で、モジュールMOD5の論理ミスが検出された場合について述べる。この場合は、論理反転とタイミング調節を図る意味から、モジュールMOD5を切断してインバータを追加すると機能が

ることが判明したとする。そのため、図5に示す切断部AL2をFIBまたはレーザーCVDにて切断する。その後、モジュールMOD5と予備ゲートRG1との間に追加配線層CL1、CL2を形成し、インバータを追加する。

【0006】

【発明が解決しようとする課題】しかしながら図4及び図5に示す従来例では、修正する工程が長いために時間がかかるという問題がある。その理由として、設計段階で機能するように製造しているものを修正するために、所定の結合配線を切断し、その後に予備素子に接続するためである。また、接続距離が長い、もしくは配線膜厚が厚いと、当然作業時間が増加してしまうという問題があった。

【0007】さらに従来例では、自由度が低いという問題がある。その理由は、設計段階で機能を決定して製品開発過程で変更が生じた場合に、予備ユニットや予備ゲートに最終工程で繋ぎかえるためである。従来の技術では、大容量メモリーを追加するような自由度(汎用性)の高い設計変更ができない。このような設計変更をする場合には、最初から製造することになる。

【0008】本発明の目的は、様々な機能を持ったモジュール(大規模なブロック)を結線して、所望の機能をチップ上に短期間で形成することを可能にしたプログラミング可能な半導体装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明に係るプログラミング可能な半導体装置は、所定の機能をもつ複数の大規模なブロックを有し、該ブロックから引き出した配線を最上層に露出させ、前記引き出された配線同士を選択的に接続することにより回路を構成するようにしたものである。

【0010】また、前記引き出された配線は、レーザーにより選択的に接続されるものである。

【0011】また、前記引き出された配線は、熱処理により融解する金属片で選択的に接続されるものである。

【0012】また、前記引き出された配線の接続部は、カバー膜で覆われ、パッドを開口させるものである。

【0013】本発明によれば、大規模なブロックから引き出した配線を最上層に形成し、設計が決まった時点で最上層の配線間を接続し、大規模なブロックの組み合わせにより、所望の回路を形成する。したがって、素子や配線を形成した後に所望の半導体集積回路を形成することができ、容易に、かつ短期間に製造することができる。その結果、大量生産ができるため、低コストでかつ、製品開発の期間を縮小することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0015】(実施形態1)図1、図2は本発明の実施

形態1を示す図である。

【0016】図1に示す本発明の実施形態1に係る大規模集積回路装置は、半導体基板1の表面中央部に8個のモジュールMOD1～MOD8及び記憶部RAMをマトリクス状に配置し、その外周縁部にボンディングパッド2を井桁状に配置している。また図示していないが、NOR、NAND、インバータ等の基本的なファンクションブロック、バッファ等は、モジュールMOD1～MOD8や記憶部RAM以外の隙間に形成されている。さらに、これらのモジュールMOD1～MOD8及び記憶部RAM並びに基本的なファンクションブロック（大規模なブロック）、ボンディングパッド2を自由に結線するように、最上層には図2(a)、(b)に示すように金属配線3を一部露出させた配線露出部4を設けている。配線露出部4の金属配線3、3は図2(a)、(b)に示すように、必要に応じて結線するように切り離されている。図2(c)、(d)に示すように、配線露出部4の金属配線3、3をレーザーショットすると、異なったからモジュール等から引き出された金属配線3、3間が電気的に接続される。所望の回路を形成するために、各々の金属配線3のどこを繋げばどのように結線されるかは、座標と番号で予めデータベース化しておく。

【0017】設計が終わり、レーザー装置に備え付けたコンピュータに、結線情報を入力する。すると、自動的にレーザーショットして金属配線3、3同士を接続する。本発明の実施形態1によれば、従来のようにマスクを製作する必要がないため、工期を短縮することができる。また結線後に、配線露出部4を覆うためのカバー膜を形成し、パッドを開口しても良い。

【0018】金属配線3、3間を接合するには、レーザーショットに代わる方法として、CVDリペア装置を用いる方法（レーザー光が吸収されることによる、局所加熱を利用した熱分解で金属薄膜を形成する加工方法）などを用いてもよい。

【0019】レーザーショットを用いて金属配線3、3間を接続する場合を具体的に説明すると、波長1.3μm、エネルギー0.3μJの半導体レーザー励起固体レーザーを用いたとき、配線露出部4内の金属配線3としての膜厚1μmのA1配線3、3をレーザーショットすると、モジュール等から引き出されたA1配線3、3間が電気的に接続する。約70本/秒のスループットで処置することができる。

【0020】（実施形態2）次に、本発明の実施形態2について図3を参照して詳細に説明する。

【0021】本発明の実施形態2では、図3(a)、

(b)に示すように金属片5を配線露出部4内の切り離された金属配線3、3間に配置し、金属片5を熱処理する。すると、金属片5が融解して、異なったモジュール等から引き出された金属配線3、3同士が電気的に接続する。この場合も、配線露出部4を覆うためのカバー膜を形成し、パッドを開口しても良い。

【0022】具体的に説明すると、配線露出部4内の切り離された金属配線3、3間に金属片5としての半田ボールを配置し、半田ボール5を180℃でベークする。半田ボール5が融解し、異なったモジュール等から引き出された金属配線3、3同士が電気的に接続する。

【0023】

【発明の効果】以上説明したように本発明によれば、予め設計前にモジュール、記憶部、基本的なファンクションブロック、バッファ、パッド等（大規模なブロック）から配線を最上層に引き出して形成しておき、設計が完了した後に配線同士を結線して所望の回路を構築するため、設計後にマスクを製作する必要がなく、しかも最上層に配線を配置し、その配線同士を選択的に接続するため、配線を多層に渡って形成する工程を省略することでき、短期間内で所望の回路を構築することができる。

【0024】さらに汎用的な機能のモジュールを備えておくことにより、これらのモジュールからの配線の結線箇所を変えるだけで様々な回路を構築することができ、設計の自由度を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す平面図である。

【図2】本発明の実施形態1における配線露出部を示す図であって、(a)はレーザーショット前の平面図、(b)は(a)のA-A'線断面図、(c)はレーザーショット後の平面図、(d)は(c)のB-B'線断面図である。

【図3】本発明の実施形態2における配線露出部を示す図であって、(a)は熱処理前の平面図、(b)は(a)のC-C'線断面図、(c)は熱処理後の平面図、(d)は(c)のD-D'線断面図である。

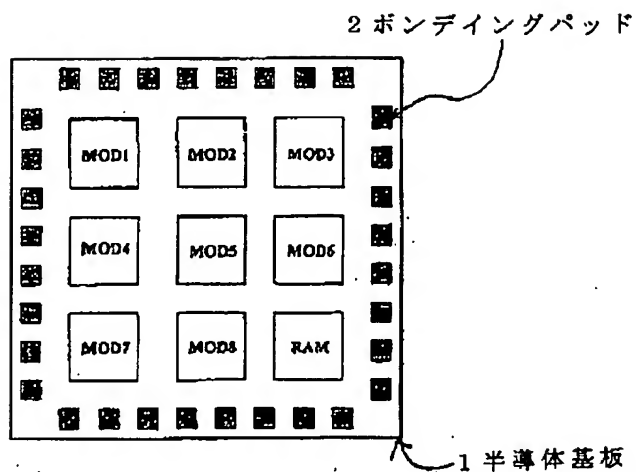
【図4】従来例を示す平面図である。

【図5】従来例を示す平面図である。

【符号の説明】

- 1 半導体基板
- 2 ボンディングパッド
- 3 金属配線
- 4 配線露出部
- 5 金属片

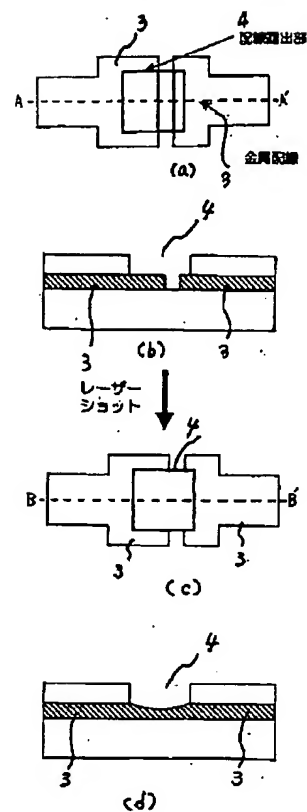
【図1】



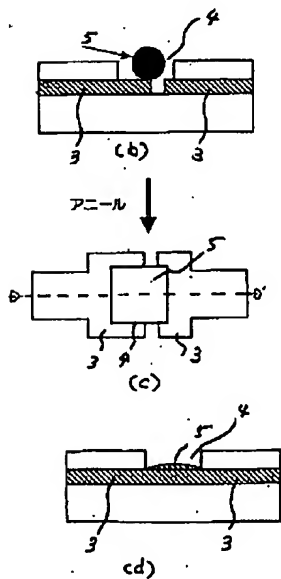
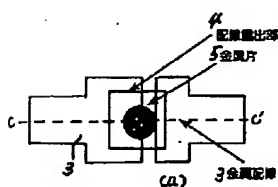
MOD : モジュール

RAM : 記憶部

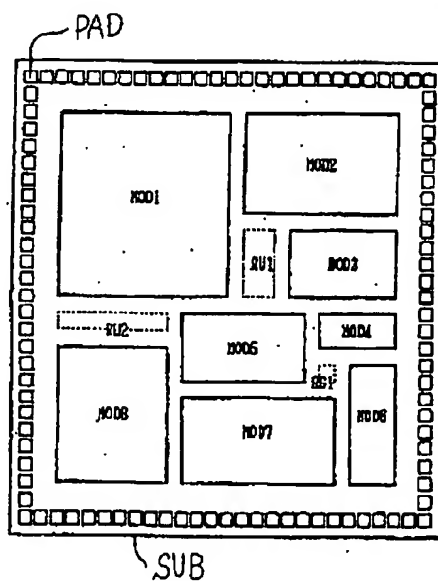
【図2】



【図3】



【図4】



[illegible]